

---

## Глава 7

# ОСНОВНЫЕ СХЕМОТЕХНИЧЕСКИЕ СТРУКТУРЫ ЦИФРОВОЙ ИНТЕГРАЛЬНОЙ МИКРОЭЛЕКТРОНИКИ

---

Серии цифровых интегральных микросхем включают в себя широкую номенклатуру схем различной степени сложности. В то же время схемотехническую основу серии составляет схема базового логического элемента, которая реализует какие-либо логические функции и служит элементной базой всех интегральных микросхем серии, определяя их статические и динамические параметры. Как правило, базовые логические элементы выполняют логические операции И-НЕ либо ИЛИ-НЕ, образующие универсальные логические базисы. Разнообразие типов базовых логических элементов объясняется тем, что каждый из них обладает определенными преимуществами по электрическим и эксплуатационным характеристикам и параметрам и ориентирован на свою область применения.



.....  
Среди современных потенциальных цифровых интегральных микросхем доминируют три схемно-технологических направления построения интегральных микросхем: транзисторно-транзисторная логика (с диодами Шоттки), эмиттерно-связанная логика, логика на комплементарных МДП-транзисторах (КМОП-логика).  
.....

### 7.1 Базовые логические элементы транзисторно-транзисторной логики

К достоинствам базовых логических элементов ТТЛ относится высокий уровень схемно-технологической проработки, а также хорошие электрические параметры и характеристики:

- сравнительно высокое быстродействие при средней потребляемой мощности или среднее быстродействие при малой потребляемой мощности;
- малая работа переключения;
- высокая абсолютная и относительная помехоустойчивость;
- высокая статическая и динамическая нагрузочная способность.



## Выводы

Таким образом, в базовых логических элементах ТТЛ удачно сочетаются высокие схемотехнические, технологические, логические и конструктивные качества.

Базовые логические элементы ТТЛ являются элементной базой для микросхем среднего и высокого быстродействия.

Базовые логические элементы ТТЛ реализуют логическую функцию И-НЕ (являются элементами Шеффера) и содержат каскад на многоэмиттерном транзисторе, выполняющий логическую функцию «И», и транзисторный ключ-инвертор. В зависимости от реализации ключа-инвертора выделяются различные модификации элементов ТТЛ-типа. Модификация, как правило, преследует одну или несколько целей, связанных с улучшением электрических и эксплуатационных характеристик и параметров: увеличение нагрузочной способности, уменьшение задержек распространения сигналов, увеличение порогового напряжения и логического перепада, уменьшение мощности потребления и т. п.

Наилучшими статическими параметрами обладает схема базового логического элемента ТТЛ со сложным инвертором и корректирующей цепочкой, представленная на рис. 7.1.

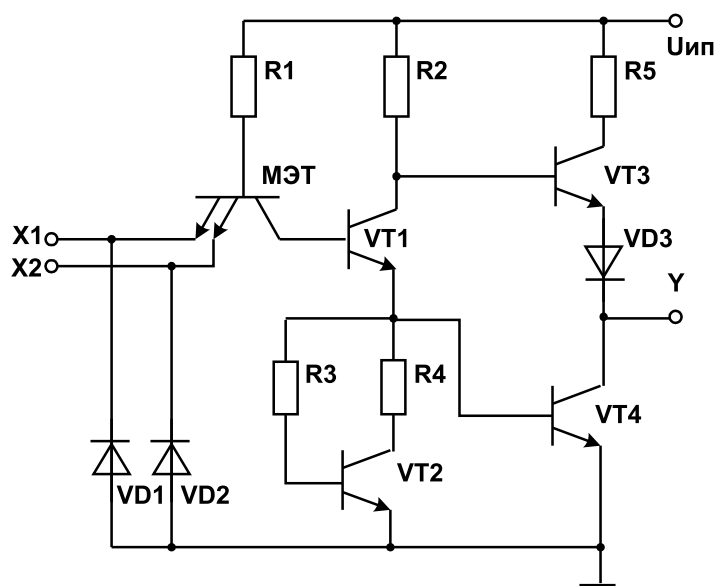


Рис. 7.1 – Схема базового логического элемента ТТЛ

Сложный инвертор состоит из фазораспределяющего каскада ( $VT1, R2$ ), содержащего корректирующую цепочку ( $VT2, R3, R4$ ), и выходного двухтактного усилителя мощности ( $VT3, VT4, VD3, R5$ ). Фазораспределяющий каскад предназначен для противофазного переключения транзисторов  $VT3$  и  $VT4$ , а корректирующая цепочка обеспечивает повышение помехоустойчивости базового логического элемента. Для защиты многоэмиттерного транзистора от помех отрицательной полярности, возникающих в линиях связи, на входах базового логического элемента включены диоды  $VD1, VD2$ .

## Статические параметры

Предположим, что на одном из входов схемы рис. 7.1 напряжение плавно изменяется от уровня логического нуля до уровня логической единицы, а на остальных  $k_{об} - 1$  входах поддерживается неизменным, равным уровню логической единицы.

Когда  $u_{вх.1} = U^0$ , то соответствующий эмиттерный переход МЭТ открыт и потенциал его базы  $U'_{б.МЭТ} = U^0 + U^*$ , где  $U^*$  — падение напряжения на прямосмещенном  $p-n$ -переходе.

Ток базы МЭТ определяется выражением:

$$I'_{б.МЭТ} = \frac{E - U'_{б.МЭТ}}{R_1} = \frac{E - U^0 - U^*}{R_1}.$$

Коллекторный переход МЭТ также открыт, поэтому  $k_{об} - 1$  эмиттерных переходов МЭТ работают в инверсном активном режиме и через каждый из них втекает входной ток логической единицы:

$$I_{вх}^1 = \beta_I I'_{б.МЭТ} = \beta_I \frac{E - U^0 - U^*}{R_1}. \quad (7.1)$$

Через открытый эмиттерный переход вытекает входной ток логического нуля:

$$\begin{aligned} I_{вх}^0 &= I'_{б.МЭТ} + (k_{об} - 1) I_{вх}^1 = [1 + (k_{об} - 1) \beta_I] I'_{б.МЭТ} = \\ &= [1 + (k_{об} - 1) \beta_I] \frac{E - U^0 - U^*}{R_1}. \end{aligned} \quad (7.2)$$

Потенциал на базе транзистора  $VT1$  равен:

$$U_{б.1} = U^0 + U_{ост.МЭТ} < U^*,$$

где  $U_{ост.МЭТ}$  — остаточное напряжение на насыщенном МЭТ.

Остаточное напряжение  $U_{ост.МЭТ}$  определяется выражением:

$$U_{ост.МЭТ} = m\varphi_T \ln \frac{1 + k_{об}\beta_I}{\beta_I},$$

где  $\varphi_T$  — тепловой потенциал;  $m = (1 \div 2)$  — параметр аппроксимации вольт-амперных характеристик транзистора. Транзисторы  $VT1, VT2, VT4$  закрыты, транзистор  $VT3$  открыт, и на выходе схемы устанавливается напряжение логической единицы:

$$U^1 = E - 2U^* - R_2 I_{б3} = E - 2U^* - \frac{R_2}{\beta_3 + 1} I_{н}^1 \approx E - 2U^*, \quad (7.3)$$

где  $I_H^1$  — выходной ток, отдаваемый в нагрузку выключенным элементом. Когда в качестве нагрузки выступают входы аналогичных базовых логических элементов, ток нагрузки определяется как:

$$I_H^1 = k_{\text{раз}} I_{\text{вх}}^1 = k_{\text{раз}} \beta_I \frac{E - U^0 - U^*}{R_1}, \quad (7.4)$$

следовательно,

$$U^1 = E - 2U^* - \frac{R_2 k_{\text{раз}} \beta_I}{R_1 (\beta_3 + 1)} (E - U^0 - U^*) \approx E - 2U^*. \quad (7.5)$$

При увеличении  $u_{\text{вх.1}}$  потенциалы на базах МЭТ и VT1 возрастают в соответствии с выражениями:

$$u_{\text{б.МЭТ}} = u_{\text{вх.1}} + U^*, \quad u_{\text{б.1}} = u_{\text{вх.1}} + U_{\text{ост.МЭТ}}. \quad (7.6)$$

Когда напряжение  $u_{\text{вх.1}}$  становится равным пороговому напряжению  $U_{\text{пор}}$ , потенциал  $u_{\text{б.1}} = 2U^*$ , транзисторы VT1, VT2 и VT4 открываются, а транзистор VT3 закрывается. Из выражения (7.6) находим:

$$U_{\text{пор}} = 2U^* - U_{\text{ост.МЭТ}}. \quad (7.7)$$

После включения транзистора VT1 потенциал на базе МЭТ устанавливается на уровне  $U''_{\text{б.МЭТ}} = u_{\text{б.1}} + u_{\text{бк.МЭТ}} \approx 3U^*$ . Ток базы МЭТ определяется выражением:

$$I''_{\text{б.МЭТ}} = \frac{E - U''_{\text{б.МЭТ}}}{R_1} \approx \frac{E - 3U^*}{R_1}.$$

При дальнейшем увеличении  $u_{\text{вх.1}}$  все эмиттерные переходы МЭТ оказываются запертыми, МЭТ работает в инверсном активном режиме и через каждый из эмиттерных переходов втекает входной ток логической единицы:

$$I_{\text{вх}}^1 = \beta_I I''_{\text{б.МЭТ}} \approx \beta_I \frac{E - 3U^*}{R_1}. \quad (7.8)$$

Через коллекторный переход МЭТ в базу VT1 течет ток, вызывающий его насыщение:

$$I_{\text{б.1}} = I''_{\text{б.МЭТ}} + k_{\text{об}} I_{\text{вх}}^1 = (1 + k_{\text{об}} \beta_I) I''_{\text{б.МЭТ}} \approx (1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1}.$$

На выходе схемы устанавливается напряжение логического нуля:

$$U^0 = U_{\text{кз.4,нас}} = m\varphi_T \ln \frac{\beta + k_{\text{нас}}(\beta + 1)}{\beta_I(k_{\text{нас}} - 1)}, \quad (7.9)$$

где  $k_{\text{нас}}$  — коэффициент насыщения транзистора VT4.

Помехозащищенность элемента по уровню логического нуля  $U_{\text{п}}^0$  и по уровню логической единицы  $U_{\text{п}}^1$  определяется выражениями:

$$U_{\text{п}}^0 = U_{\text{пор}} - U^0 = 2U^* - U_{\text{ост.МЭТ}} - U^0, \quad (7.10)$$

$$U_{\Pi}^1 = U^1 - U_{\text{пор}} \approx E - 4U^*. \quad (7.11)$$

Нагрузочная способность элемента определяется коэффициентом разветвления  $k_{\text{раз}} = \min(k_{\text{раз}}^1, k_{\text{раз}}^0)$ , где  $k_{\text{раз}}^1$  — коэффициент разветвления выключенного, а  $k_{\text{раз}}^0$  — коэффициент разветвления включенного элемента.

Коэффициент разветвления выключенного элемента можно определить из выражения (7.5):

$$k_{\text{раз}}^1 = \frac{R_1 (\beta + 1) (E - 2U^* - U^1)}{R_2 \beta_I (E - U^0 - U^*)}. \quad (7.12)$$

Выражая допустимый уровень напряжения логической единицы из (7.11) с учетом (7.7), получим:

$$k_{\text{раз}}^1 = \frac{R_1 (\beta + 1) (E - 4U^* + U_{\text{ост.мэт}} - U_{\Pi}^1)}{R_2 \beta_I (E - U^0 - U^*)}. \quad (7.13)$$

Коэффициент разветвления включенного элемента определяется отношением:

$$k_{\text{раз}}^0 = \frac{I_{\Pi}^0}{I_{\text{вх}}^0}, \quad (7.14)$$

где  $I_{\text{вх}}^0$  выражается формулой (7.2), а  $I_{\Pi}^0$  определяется выражением:

$$\begin{aligned} I_{\Pi}^0 &= I_{\text{к.4,нас}} = \frac{\beta}{k_{\text{нас}}} I_{\text{б.4}} = \\ &= \frac{\beta}{k_{\text{нас}}} \left[ (1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} - \frac{U^* - U_{\text{кэ.2,нас}}}{R_4} \right]. \end{aligned} \quad (7.15)$$

В результате подстановки (7.2) и (7.15) в (7.14) получим:

$$k_{\text{раз}}^0 = \frac{\beta \left[ (1 + k_{\text{об}} \beta_I) \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} - \frac{U^* - U_{\text{кэ.2,нас}}}{R_4} \right]}{k_{\text{нас}} [1 + (k_{\text{об}} - 1) \beta_I] \frac{(E - U^0 - U^*)}{R_1}}. \quad (7.16)$$

Средняя статическая потребляемая мощность:

$$P_{\text{п.ср}} = \frac{P_{\Pi}^0 + P_{\Pi}^1}{2} = E \frac{I_{\Pi}^0 + I_{\Pi}^1}{2}, \quad (7.17)$$

где  $I_{\Pi}^0, I_{\Pi}^1$  — токи и  $P_{\Pi}^0 = EI_{\Pi}^0, P_{\Pi}^1 = EI_{\Pi}^1$  — мощности, потребляемые включенным и выключенным элементом соответственно.

Токи, потребляемые логическим элементом, находятся с помощью соотношений:

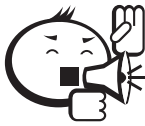
$$I_{\Pi}^0 = I'_{\text{б.мэт}} + I_{R2} \approx \frac{E - 3U^*}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2}, \quad (7.18)$$

$$I_{\Pi}^1 = I''_{\text{б.мэт}} \approx \frac{E - U^* - U^0}{R_1}. \quad (7.19)$$

Подставляя (7.18) и (7.19) в (7.17), получим:

$$P_{\text{п.ср}} = \frac{E}{2} \left( \frac{2E - 4U^* - U^0}{R_1} + \frac{E - U^* - U_{\text{кэ.1,нас}}}{R_2} \right). \quad (7.20)$$

## Базовые логические элементы ТТЛ с диодами и транзисторами Шоттки



Основным фактором, ограничивающим быстродействие базовых логических элементов ТТЛ, является наличие интервала рассасывания неосновных носителей заряда в базе на этапе выключения, обусловленного работой включенного транзистора в режиме насыщения.

Эффективный способ устранения или уменьшения насыщения связан с использованием диодов Шоттки, которые включают параллельно коллекторным переходам. В интегральных схемах диод Шоттки вместе с биполярным транзистором составляет единую структуру – транзистор Шоттки (рис. 7.2).

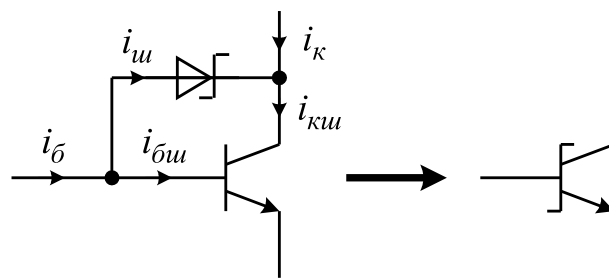


Рис. 7.2 – Транзистор Шоттки

Когда транзистор работает в активном режиме, на коллекторном переходе действует отрицательное напряжение, поэтому диод Шоттки закрыт и не влияет на работу транзистора. При росте тока базы напряжение на коллекторном переходе становится положительным и, когда  $u_{бк} = U_{\text{пор.ш}}$ , диод Шоттки открывается. При этом ток базы транзистора уменьшается ( $i_{бш} = i_b - i_{ш}$ ), а ток коллекторной цепи становится равным  $i_{кш} = i_k + i_{ш}$ . Так как пороговое напряжение перехода Шоттки меньше порогового напряжения  $p-n$ -перехода, можно считать, в транзисторе Шоттки избыточный заряд в базе не накапливается и интервал рассасывания неосновных носителей отсутствует.

Модификация базового логического элемента ТТЛ с транзисторами Шоттки (ТТЛШ) представлена на рис. 7.3.

В усилителе мощности элемента использован составной транзистор ( $VT3, VT4$ ), причем транзистор  $VT4$  является обычным биполярным транзистором, поскольку на его коллекторном переходе всегда сохраняется обратное смещение.

Повышение быстродействия базовых логических элементов ТТЛШ обусловлено не только устранением интервала рассасывания неосновных носителей заряда в базе транзисторов, но и сокращением длительностей стадий спада и нарастания выходного потенциала. Это объясняется тем, что транзисторы Шоттки не легированы золотом и имеют в 2–3 раза большие значения коэффициента передачи тока базы, чем обычные транзисторы в микросхемах ТТЛ, легируемые золотом.

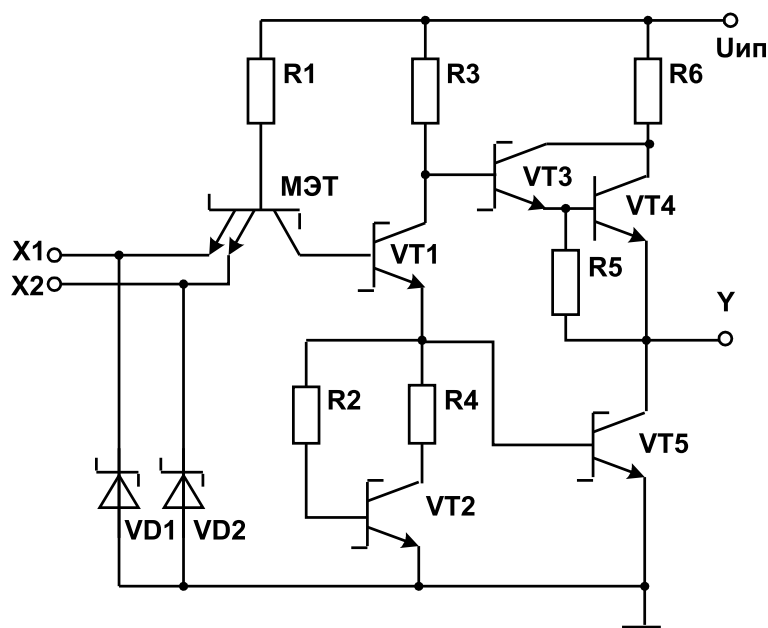


Рис. 7.3 – Схема базового логического элемента ТТЛШ

Недостатком базовых логических элементов ТТЛШ является их уменьшенная по сравнению с элементами ТТЛ помехоустойчивость. Падение напряжения на открытом диоде Шоттки обычно составляет  $U_{ш}^* \approx 0.5U^*$ , поэтому:

$$U_{ТТЛШ}^0 = U_{ост.ш} = U^* - U_{ш}^* > U_{ТТЛ}^0, \quad (7.21)$$

$$U_{пор,ТТЛШ} = 2U^* - U_{ост.ш} = U^* + U_{ш}^* < U_{пор,ТТЛ}, \quad (7.22)$$

$$U_{п,ТТЛШ}^0 = U_{пор,ТТЛШ} - U_{ТТЛШ}^0 = 2U_{ш}^* < U_{п,ТТЛ}^0. \quad (7.23)$$

Применение в качестве защитных диодов не диодов на основе  $p-n$ -перехов, а диодов Шоттки, обладающих более низким прямым падением напряжения, дает лучшую защиту против помех.

Существенное увеличение быстродействия и снижение работы переключения, несмотря на пониженную помехоустойчивость, делает базовые логические элементы ТТЛШ наиболее перспективной элементной базой для цифровых микросхем высокого быстродействия с различной степенью интеграции, в том числе БИС. В то же время технология изготовления элементов ТТЛШ, использующая специальные процессы для изготовления высококачественных контактов металл-полупроводник с барьером Шоттки, является более сложной и, следовательно, более дорогостоящей.

## 7.2 Базовые логические элементы на комплементарных МДП-транзисторах

Элементной базой наиболее перспективных потенциальных интегральных МДП-микросхем являются базовые логические элементы на транзисторах с индуциро-

ванными каналами дополняющих типов проводимости (базовые логические элементы КМОП). Их характеризуют:

- малое потребление мощности в статических режимах;
- высокое быстродействие;
- повышенная помехоустойчивость.

Базовый логический элемент КМОП в основном потребляет динамическую мощность, которая идет на зарядку паразитных емкостей и возрастает с увеличением частоты переключения.

Базовый логический элемент реализует логическую функцию НЕ. Схема базового логического элемента КМОП представлена на рис. 7.4.

Транзистор  $n$ -типа ( $VT2$ ) является управляющим, а транзистор  $p$ -типа ( $VT1$ ) — нагрузочным. Подложки транзисторов соединены с истоками, что позволяет избежать отпирающие  $p$ - $n$ -переходов «исток-подложка». Защитная цепочка на входе элемента состоит из сопротивления  $R$  и охранных диодов  $VD1$ – $VD3$ , которые ограничивают входное напряжение на уровнях  $U_{вх,маx} = U_{ипп} + U^*$  и  $U_{вх,миn} = -U^*$ . Источник питания не должен иметь разнополярных выбросов напряжения питания, превышающих предельные для интегральных микросхем на МДП-транзисторах значения  $U_{ипп,миn} = -0,5$  В и  $U_{ипп,маx} = 15$  В. При  $U_{ипп} < U_{ипп,миn}$  возникает перегрузка диодов прямым током, а при  $U_{ипп} > U_{ипп,маx}$  возможен пробой оксида.

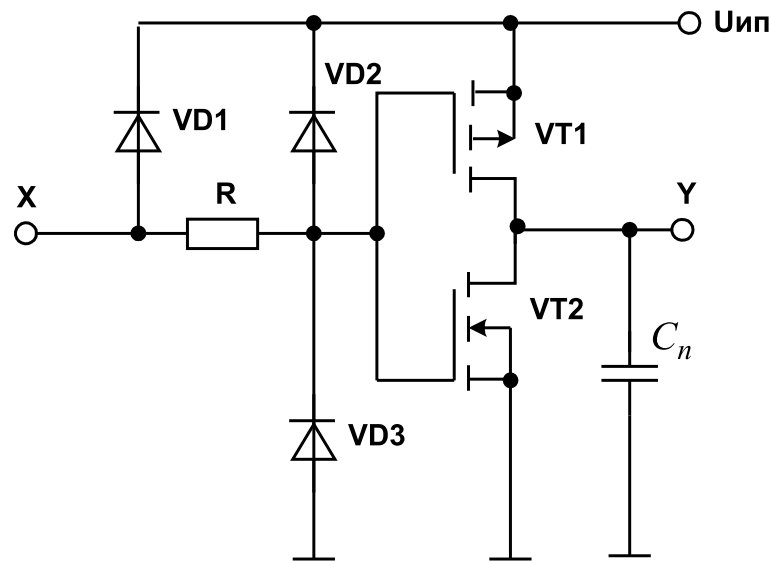


Рис. 7.4 – Схема базового логического элемента КМОП

Когда напряжение на входе равно нулю, управляющий транзистор выключен, так как  $U_{зи,n} = 0 < U_{пор,n}$ , где  $U_{пор,n}$  — пороговое напряжение транзистора  $n$ -типа. Для нагрузочного транзистора:  $U_{зи,p} = -U_{ипп}$ .

Если  $U_{ипп} > |U_{пор,p}|$ , где  $U_{пор,p}$  — пороговое напряжение транзистора  $p$ -типа, то нагрузочный транзистор оказывается открытым. При этом напряжение на выходе близко к величине напряжения питания:  $U^B \approx U_{ипп}$ .

С увеличением напряжения на затворе сопротивление канала нагрузочного транзистора увеличивается и он закрывается. В зависимости от величины напряже-



ния питания возможны различные режимы работы базового логического элемента КМОП.

Если  $U_{\text{вп}} < U_{\text{пор.н}} + |U_{\text{пор.р}}|$ , то с ростом напряжения на затворе нагрузочный транзистор закрывается раньше, чем открывается управляющий транзистор, и в некотором диапазоне изменения входного напряжения напряжение на выходе будет зависеть от соотношения остаточных токов в стоковых цепях транзисторов.

Если  $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$ , то с ростом входного напряжения вначале открывается управляющий транзистор, и оба транзистора в некотором диапазоне изменения входного напряжения оказываются открытыми, а затем закрывается нагрузочный транзистор. После запираания нагрузочного транзистора и отпираания управляющего напряжение на выходе схемы оказывается близким к нулю:  $U^{\text{н}} \approx 0$  В.

В режиме, когда  $U_{\text{вп}} < U_{\text{пор.н}} + |U_{\text{пор.р}}|$ , при переключении один из транзисторов всегда оказывается закрытым и препятствует протеканию большого сквозного тока.

Передаточные характеристики, соответствующие двум режимам работы базового логического элемента КМОП, приведены на рис. 7.5, из которого следует, что характеристика, соответствующая условию  $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$ , обеспечивает лучшие значения статических параметров, поэтому условие  $U_{\text{вп}} > U_{\text{пор.н}} + |U_{\text{пор.р}}|$  является условием нормальной работы элемента.

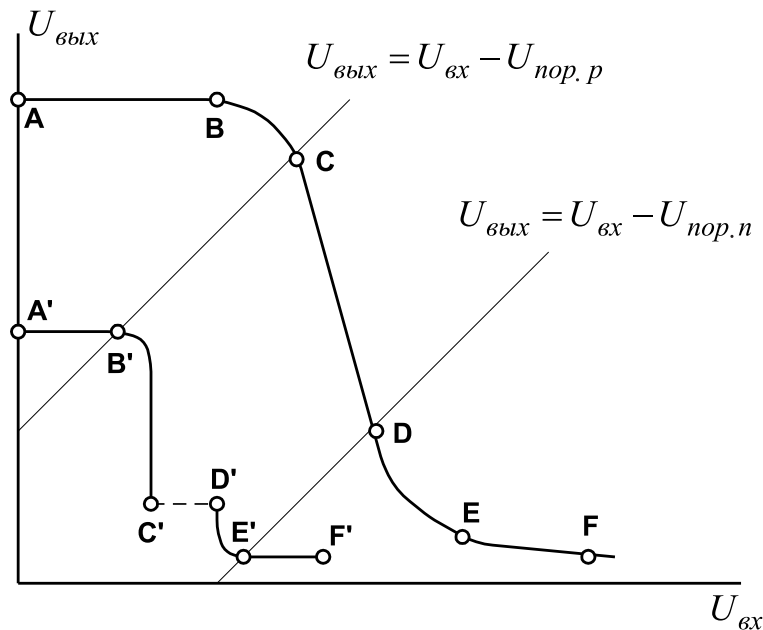


Рис. 7.5 – Передаточные характеристики базового логического элемента КМОП

## Статические характеристики и параметры

Передаточная характеристика (рис. 7.5) имеет 5 участков:

- на участке  $AB$  управляющий транзистор находится в режиме отсечки, а нагрузочный работает в крутой области характеристик;
- на участке  $BC$  управляющий транзистор работает в пологой, а нагрузочный — в крутой области характеристик;

- на участке  $CD$  и управляющий, и нагрузочный транзисторы работают в пологой области характеристик;
- на участке  $DE$  управляющий транзистор работает в крутой, а нагрузочный — в пологой области характеристик;
- на участке  $EF$  управляющий транзистор работает в крутой области характеристик, а нагрузочный транзистор находится в режиме отсечки.

Для транзисторов на участке  $CD$  передаточной характеристики токи стоков определяются выражениями:

$$I_{Cn} = \frac{k_n}{2} [U_{зи,n} - U_{пор,n}]^2 = \frac{k_n}{2} [U_{вх} - U_{пор,n}]^2, \quad (7.24)$$

$$I_{Cp} = \frac{k_p}{2} [U_{зи,p} - U_{пор,p}]^2 = \frac{k_p}{2} [U_{вх} - U_{инп} - U_{пор,p}]^2. \quad (7.25)$$

Учитывая, что  $I_{Cn} = I_{Cp}$ , из (7.24) и (7.25) определяется пороговое напряжение базового логического элемента КМОП:

$$U_{пор} = \frac{U_{пор,n} \sqrt{k_n} + \sqrt{k_p} (U_{инп} - U_{пор,p})}{\sqrt{k_n} + \sqrt{k_p}}. \quad (7.26)$$

Оптимальная форма передаточной характеристики достигается при одинаковых параметрах транзисторов ( $k_n = k_p$ ,  $U_{пор,n} = |U_{пор,p}|$ ), тогда пороговое напряжение  $U_{пор} = U_{инп}/2$ , логический перепад  $\Delta U \approx U_{инп}$ , помехозащищенность  $U_{п}^0 \approx U_{п}^1 \approx U_{инп}/2$ , а помехоустойчивость максимальна и близка к величине  $U_{п}^0/\Delta U \approx U_{п}^1/\Delta U \approx 1/2$ . Столь высокие значения не достигаются в базовых логических элементах других типов. Это обусловлено минимальным значением  $U^0 \approx 0$ , максимальным значением  $U^1 \approx U_{инп}$  и симметричной передаточной характеристикой, которая, кроме того, практически не зависит от температуры.

Мощность, потребляемая базовым логическим элементом КМОП в статическом режиме, связана с протеканием остаточных токов и токов утечки в стоковых цепях транзисторов:

$$P_{п}^0 = U_{инп} I_{п}^0 \approx U_{инп} \left( I_{0p} + \frac{U_{инп}}{R_{ут,p}} \right), \quad (7.27)$$

$$P_{п}^1 = U_{инп} I_{п}^1 \approx U_{инп} \left( I_{0n} + \frac{U_{инп}}{R_{ут,n}} \right), \quad (7.28)$$

где  $I_{0p}$ ,  $I_{0n}$  — остаточные токи в стоковых цепях транзисторов  $p$ - и  $n$ -типа соответственно;  $R_{ут,p}$ ,  $R_{ут,n}$  — сопротивления утечки между стоком и истоком транзисторов  $p$ - и  $n$ - типа соответственно. Средняя статическая мощность потребления:

$$P_{п,ср} = \frac{P_{п}^1 + P_{п}^0}{2} \approx \frac{U_{инп}}{2} \left( I_{0p} + I_{0n} + \frac{U_{инп}}{R_{ут,p}} + \frac{U_{инп}}{R_{ут,n}} \right). \quad (7.29)$$

## Основные логические элементы на комплементарных МДП-транзисторах

Основные логические элементы КМОП реализуют логические функции И-НЕ, ИЛИ-НЕ.

Выполнение логической операции И-НЕ достигается последовательным, а операции ИЛИ-НЕ — параллельным включением  $k_{об}$  управляющих транзисторов. При этом на каждый вход требуется два транзистора, образующих ключевой элемент-инвертор. В схеме И-НЕ нагрузочные транзисторы включаются параллельно, а в схеме ИЛИ-НЕ — последовательно друг другу. Схемы основных логических элементов И-НЕ и ИЛИ-НЕ с  $k_{об} = 2$  представлены на рис. 7.6, а и рис. 7.6, б соответственно.

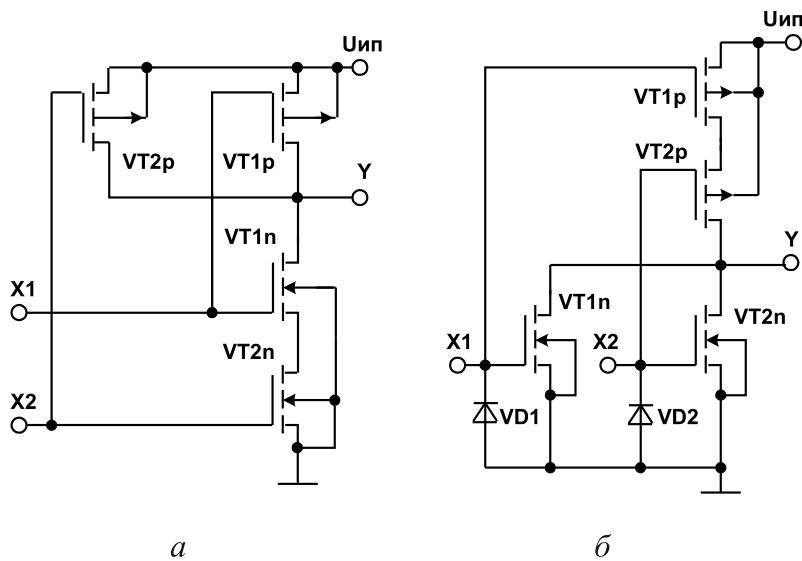


Рис. 7.6 – Схемы основных логических элементов КМОП: а — элемента И-НЕ; б — элемента ИЛИ-НЕ



.....  
 Расчет статических и динамических параметров основных элементов КМОП основан на предварительном сведении схемы к эквивалентному базовому логическому элементу-инвертору и последующем использовании соответствующих базовому логическому элементу соотношений.  
 .....

Для этого группы транзисторов, находящихся в проводящем состоянии, заменяют одним эквивалентным транзистором, удельная крутизна которого для последовательно включенных транзисторов определяется выражением:

$$\frac{1}{k_{эКВ}} = \sum_{i=1}^m \frac{1}{k_i}, \quad (7.30)$$

а для параллельно включенных транзисторов — выражением:

$$k_{эКВ} = \sum_{i=1}^m k_i, \quad (7.31)$$

где  $m$  — число проводящих транзисторов.

## 7.3 Базовый логический элемент истоко-связанной логики на полевых транзисторах с управляющим переходом Шоттки (ПТШ-Ga-As)

Базовый логический элемент содержит входные ( $F_1$  и  $F_2$ ) и выходной ( $F_3$ ) формирователи сигналов, а также логическую часть (рис. 7.7).

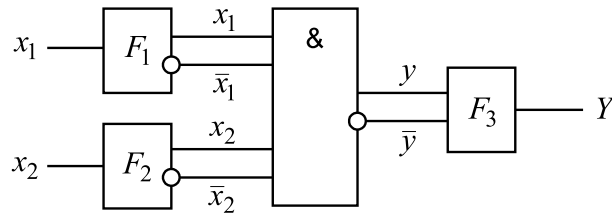


Рис. 7.7 – Структурная схема базового логического элемента ПТШ-Ga-As

Логическая часть элемента представлена на рис. 7.8.

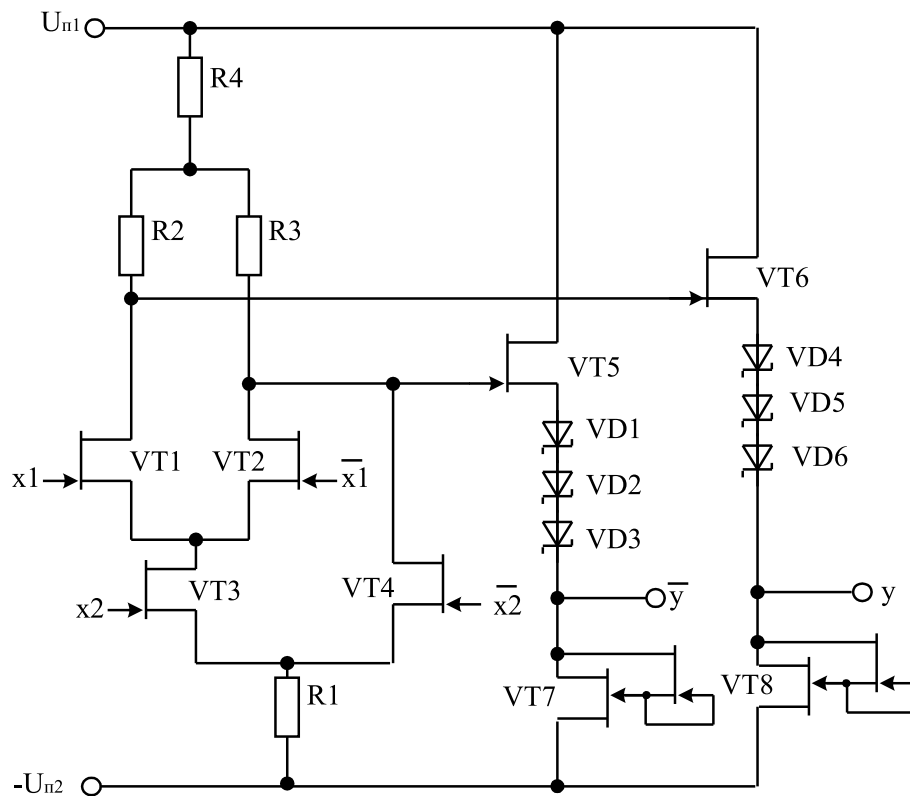


Рис. 7.8 – Схема логической части базового логического элемента ПТШ-Ga-As

Она построена по схеме переключателя тока на основе дифференциальных пар транзисторов  $VT_1$ ,  $VT_2$  и  $VT_3$ ,  $VT_4$ , резистора  $R_1$ , определяющего величину тока истока, нагрузочных резисторов  $R_2$ ,  $R_3$  и резистора смещения  $R_4$  для согласования по уровням напряжения выходов истокового переключателя тока и выходных истоковых повторителей на транзисторах  $VT_5$ ,  $VT_6$ .

Диоды Шоттки  $VD1 - VD6$  и транзисторы  $VT7, VT8$  в цепях транзисторов истоковых повторителей необходимы для согласования со входом формирователя  $F_3$  и стабилизации выходных напряжений. Питание элемента осуществляется от двух источников  $U_{ин1} = 4 \text{ В} \pm 5\%$  и  $U_{ин2} = -2.45 \text{ В} \pm 3\%$ .

Формирователи  $F_1$  и  $F_2$  предназначены для согласования внешних цепей, напряжения сигналов в которых лежат в диапазоне от 0 до 1 вольта, с логической частью, сигналы  $x_1$  и  $x_2$  в которой имеют уровни 0.5 В, а сигналы  $\bar{x}_1$  и  $\bar{x}_2$  — уровни (-0.5 В).

Для базового логического элемента ПТШ-Ga-As характерны следующие особенности:

- сверхвысокое быстродействие (способность работать при частоте переключения 1 ГГц и выше);
- значительная потребляемая мощность (от 0.5 до 1.7 Вт), которая не зависит от частоты переключения;
- способность выдерживать значительные уровни напряжения статического электричества (до 50 В) благодаря встроенным цепям защиты.



## Контрольные вопросы по главе 7

- 1) Определить напряжение логической единицы базового логического элемента ТТЛ с корректирующей цепочкой, если напряжение питания составляет  $5 \text{ В} \pm 10\%$ , а падение напряжения на прямосмещенном  $p-n$ -переходе составляет 0.7 В.
- 2) Определить пороговое напряжение двухвходового базового логического элемента ТТЛ с корректирующей цепочкой при температуре  $T = 323 \text{ К}$ , если падение напряжения на прямосмещенном  $p-n$ -переходе составляет 0.7 В, параметр аппроксимации вольт-амперных характеристик транзистора  $m = 1$ , а инверсный коэффициент передачи тока базы  $\beta_I = 0.05$ .
- 3) Определить помехозащищенность базового логического элемента ТТЛ с корректирующей цепочкой по уровню логической единицы, если напряжение питания составляет 5 В, а падение напряжения на прямосмещенном  $p-n$ -переходе составляет 0.7 В.
- 4) Определить пороговое напряжение двухвходового базового логического элемента ТТЛШ с корректирующей цепочкой, если падение напряжения на прямосмещенном  $p-n$ -переходе составляет 0.7 В.
- 5) Определить пороговое напряжение двухвходового логического элемента И-НЕ КМОП, считая все МДП-транзисторы идентичными. Напряжение питания составляет 15 В, а пороговое напряжение транзисторов принять равным 1.5 В.